

一种高性能的嵌入式微处理器: 银河 TS-1

陆洪毅, 沈 立, 赵学秘, 王 蕾, 戴 葵, 王志英

(国防科学技术大学计算机学院, 湖南长沙 410073)

摘 要: 银河 TS-1 嵌入式微处理器是国防科学技术大学计算机学院设计的 32 位嵌入式微处理器, 完全正向设计, 具有自主知识产权. 在体系结构上采用 RISC 内核, 六级流水线, 具有独立的数据 Cache 和指令 Cache. 特别的, TS-1 具有两个取指部件的动态指令调度机制, 拥有面向嵌入式应用的向量处理机制, 采用基于内容复制/交换的寄存器窗口技术的中断处理机制, 支持 WISHBONE IP 核互接口规范, 具有良好的扩展性. 本文主要介绍 TS-1 的 RISC 核心设计思想和关键实现技术, 最后给出性能评测结果. TS-1 设计已经在 Altera 的 FPGA EP20K400EBC 上面得到了验证, 主频可以达到 36.7MHz.

关键词: 嵌入式微处理器; 体系结构; 向量化; 流水线; RISC

中图分类号: TP302 **文献标识码:** A **文章编号:** 0372-2112 (2002) 11-1668-04

A High Performance Embedded Microprocessor: YH TS-1

LU Hong-yi, SHEN Li, ZHAO Xue-mi, WANG Lei, DAI Kui, WANG Zhi-ying

(National University of Defense Technology, School of Computer, Changsha, Hunan 410073, China)

Abstract: YH TS-1 is a 32 bit embedded microprocessor designed by School of Computer in National University of Defense Technology. It is a top down design and has fully intellectual property. YH TS-1 has a RISC core, six stage pipeline, separated data Cache and Instruction Cache. Specially, YH TS-1 has dynamic instruction schedule with two instruction fetch units, vector processing mechanism towards embedded application, content copy/switch based register window interrupt processing mechanism, and support of the open WISHBONE IP interface specification. This paper will mainly describe the YH TS-1 RISC core design methodology and its critical implementation technologies. The experimental results will also be given at the end of the paper. TS-1 has been implemented and verified in Altera's FPGA EP20K400EBC, and the clock frequency can be 36.7MHz.

Key words: embedded microprocessor; architecture; vectorization; pipeline; RISC

1 引言

嵌入式微处理器已经被广泛应用于各个领域, 如通信基础设施、蜂窝电话、大型家电、娱乐消费类产品, 以及汽车和工控领域等. 目前, 较为著名的嵌入式微处理器有英国 ARM 公司的 ARM 系列处理器^[3, 4, 7, 9], 美国 MIPS 公司的 MIPS 系列处理器, 美国 Intel 公司的 StrongARM 系列处理器以及美国 Motorola 公司的 ColdFire 系列处理器等. 国外的科研机构也对嵌入式微处理器的设计开发进行了广泛的研究^[2, 5, 12]. 国内也有多家科研单位开始研发嵌入式微处理器^[8].

2001 年 6 月, 国防科技大学计算机学院自行设计开发了一种 32 位 RISC 高性能嵌入式微处理器“银河 TS-1”, 并利用 Altera 公司的 FPGA 芯片 EP20K400EBC652 2 对其设计进行了功能性仿真^[11], 主频可以达到 36.7MHz. 该处理器具有主流嵌入式微处理器的功能, 并提供额外的向量支持, 能够广泛的应用到各种嵌入式领域中.

本文将首先介绍银河 TS-1 的体系结构, 然后介绍其设计的关键技术, 最后给出 FPGA 模拟测试的结果.

2 银河 TS-1 体系结构

银河 TS-1 系统结构如图 1 所示:

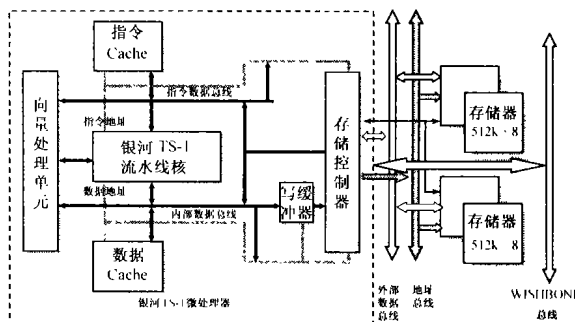


图 1 银河 TS-1 嵌入式微处理器系统框图

银河 TS-1 采用的是 32 位哈佛 RISC 体系结构,通用标量寄存器有 16 个(R0~ R15),向量寄存器有 4 个(V0~ V3),还有一个向量长度寄存器(VLR).每个向量寄存器包含 64 个向量分量,每个向量分量为 32 位字长.向量长度寄存器用于决定后续向量操作中,有效向量分量的个数,取值范围为 0~ 63,0 表示有一个向量分量,63 表示有 64 个向量分量,依此类推.银河 TS 1 指令集共拥有 107 条指令,可以划分为 6 类不同的指令:分支指令、数据处理指令、状态寄存器传输指令、Load 和 Store 访存指令、向量指令、自陷指令.

银河 TS 1 支持五种处理器模式(用户、外部中断 FIQ、外部快速中断 FIQ、异常、软中断),每种不同的处理器模式对应不同的寄存器组,支持流水线互锁和精确中断.芯片外部支持 WISHBONE 开放式 IP 核互连总线接口^[10].



图 2 银河 TS-1 流水线

表 1 各个功能部件的延时特性

| | 指令 cache | Reg 地址形成 | 读 Reg | 布斯乘法器 | 桶式移位器 | ALU | 数据 cache | 符号扩展 | 写 Reg |
|--------|----------|----------|-------|-------|-------|-------|----------|------|-------|
| 延时(ns) | 25.13 | 2.53 | 16.62 | 20.76 | 17.37 | 25.97 | 25.13 | 7.24 | 11.57 |

表 2 五级流水线的延时特性

| | IF | ID | EX | MEM | WB |
|--------|-------|-------|-------|-------|-------|
| 延时(ns) | 25.13 | 19.15 | 46.74 | 25.13 | 18.81 |

表 3 六级流水线的延时特性

| | IF | ID | OP | ALU | MEM | WB |
|--------|-------|-------|-------|-------|-------|-------|
| 延时(ns) | 25.13 | 19.15 | 20.76 | 25.97 | 25.13 | 18.81 |

3.2 动态指令调度技术

流水线中指令的各种相关严重阻碍了流水线性能的提高.指令的相关包括结构相关、数据相关和控制相关^[1].

为了消除控制相关,银河 TS 1 采用了面向嵌入式处理器的动态指令调度技术,其主要思想是:流水线中设置两个独立的取指部件,将分支目标指令以及分支后续指令的地址形成,由两个独立的取指部件将两条可能的目标指令取入流水线中,从而在确定分支目标的时候,可以消除由于计算分支目标而带来的流水线停顿.这种方法只是增加了一个取指令部件以及相关的控制逻辑,不必考虑分支预测部件和预测错误时的恢复机制,具有硬件复杂度低、控制相关延迟消除率高等优点.

对于无法由软件消除的其他相关(结构相关、数据相关等),需要硬件在指令执行的过程中进行相关性检测并予以消解.银河 TS 1 没有采用复杂的相关性检测以及冲突消解算法,而是采用一种简单的寄存器记分牌相关性检测算法:如果在指令的译码段检测到相关性,则采取简单的停顿方法,等流水线中引起相关的前面指令执行完毕之后,才继续后续指令的执行.相关性的检测、指令级并行性开发与调度,则由相应的编译器完成^[6].

另外,采用较为简单的冲突检测与消解算法,可以比较容

易的实现精确中断.当检测到中断例外的时候,只需简单的排空流水线,然后再进行中断例外处理.这样可以极大地降低实现精确中断的硬件复杂性.

3 银河 TS-1 设计关键技术

3.1 流水线设计技术

流水线设计是该微处理器设计的核心,主要涉及到关键路径的划分以及将各种操作分配到流水线各段中.

银河 TS 1 流水线结构在设计过程中经过了多次的调整.通过对指令处理通路和数据通路中各个功能部件的延时特性进行分析,得到如表 1 所示的延时信息.如果采用标准的五级流水线(取指 IF、译码 ID、执行 EX、访存 MEM、写回 WB),可以得到如表 2 所示的延时信息.不难看出,流水线的执行段成为整个流水线的瓶颈.如果将流水线的执行段划分为两级(操作数准备和 ALU),可以得到如表 3 所示的延时信息.可以看出,相对于五级流水线的设计方案,六级流水线均衡了流水线各级的延时,使得系统的性能可以达到一个较为理想的水平.

易的实现精确中断.当检测到中断例外的时候,只需简单的排空流水线,然后再进行中断例外处理.这样可以极大地降低实现精确中断的硬件复杂性.

3.3 向量处理技术

在银河 TS 1 中,有三类向量指令:

- * 向量访存指令负责将在向量寄存器和存储器之间进行数据传送,能够在连续的周期内向指定的向量寄存器或者存储器中写入数据.

- * 向量长度寄存器指令则在一个标量寄存器与向量长度寄存器(VLR)之间进行数据传送.

- * 向量运算指令则在两个向量寄存器之间或者在三个向量寄存器之间,进行算术逻辑运算,并将最后的结果存入到另外一个向量寄存器中.

在相应的编译器中,我们提出并实现了一种基于汇编代码的向量化技术,可以有效地对汇编代码中的循环体进行向量化,并将循环体转换为向量指令和标量指令混合执行的指令序列.

考虑到嵌入式微处理器本身的特点,并没有采用在高端微处理器中广泛使用的多功能部件等耗费大量硬件资源的技术,而是采用硬件控制循环的方法来实现.其基本思想是:在流水线的译码段设置一个有限状态机和一个执行次数计数

器,根据指令译码后形成的状态,控制流水线后续各段的执行.对于向量指令,通过对执行计数器控制,可以达到控制流水线循环执行次数的目的,从而处理可变长度的向量操作.这样就可以在较少的硬件代价的前提下,使得系统有效支持向量处理.另外,当芯片需要采用更高级的功能部件,例如快速乘法器的时候,可以简单地修改有限状态机,就能够完成对向量机制的增强.

银河 TS 1 的流水线支持标量的乘法和加法的链接操作(MAC),因此,可以很方便地支持三个向量之间的乘加链接运算.两个向量之间进行乘法操作,运算的结果,可以直接链接到第三个向量上执行加法操作,最后将结果写入到第四个向量寄存器中.

3.4 基于内容复制/交换的寄存器窗口技术

银河 TS 1 共支持五种处理器模式,每一种处理器模式对应不同的寄存器窗口.当处理器发生中断例外的时候,则需要进行相应的中断例外处理并将处理器切换到对应的处理器模式下.下面将根据中断例外处理的流程来说明基于内容复制/交换的寄存器窗口技术.

中断例外的处理涉及到流水线的排空、寄存器窗口的切换、处理器模式的转换、PC 值修改等一系列复杂的动作.

在银河 TS 1 中,当译码段检测到中断例外之后,就形成一条单节拍的更新程序状态寄存器指令,该指令与别的指令一样进入流水线执行.当其达到流水线的写回段时,将进入处理器状态切换处理流程.首先,将寄存器文件设置为“忙”,导致流水线的锁定,停止继续取指.然后,进行寄存器窗口切换,交换 R0-R14 与模式寄存器的内容.最后,将处理器模式进行修改,然后将 PC 值修改为处理器模式预定义的值,并且将流水线中未完成的操作作废掉.流水线就根据 PC 所指向的地址开始取指执行.

而中断例外的返回则是通过在特权模式下执行相应的转移并连接指令以及其他的修改程序状态寄存器的指令来完成的.其处理流程与中断例外的处理流程是一样的.

寄存器窗口技术可以加快处理器模式的切换,完成处理器模式切换所需的寄存器组保存等工作.这一技术在商用嵌入式微处理器(如 ARM)设计中,已经得到应用.在银河 TS 1 的实现中,我们运用一种基于内容复制/交换的寄存器窗口技术,可以在较低的硬件代价条件下,实现多个寄存器组的快速切换.

3.5 存控和 Cache 部件设计技术

银河 TS 1 存控负责流水线核与外部 SRAM 存储器之间的通信控制,提供正确的 SRAM 读写时序,并负责分离的数据 Cache 与指令 Cache 的管理.

银河 TS 1 的指令 Cache 和数据 Cache 都为 8KB,各分为 512 块,每块大小为 128 位(16 Byte).映射策略为直接映像.指令 Cache 是只读的,发生读失效的时候,直接读入新的指令 Cache 块.数据 Cache 的控制相对复杂,数据 Cache 采用的是按写分配的写回策略(write back).当写 Cache 命中的时候,数据直接写入 Cache 中相应的块,并且将 dirty 位置为“1”;当写 Cache 失效的时候,首先由 dirty 位确定并替换出写回外部存储

器的 Cache 块,然后将相应的 Cache 块替换入 Cache,再执行写操作.

采用这样的策略的优点是速度快,对于同一个单元的多写可以进行合并,在最后一次替换的时候写入外部存储器,从而减少对存储器访问的次数.

3.6 基于 WISHBONE 的 IP 核接口

在银河 TS 1 中实现了开放的 IP 核内部互连总线接口 WISHBONE,从而保证了只要是支持 WISHBONE 规范的 IP 核,都可与银河 TS 1 互连,为快速开发 SoC 应用提供有力支持.

4 银河 TS1 性能评测与分析

采用动态指令调度技术以及在硬件设计中采用双取指部件,可以有效的消除分支延迟.通过一组核心程序对银河 TS 1 进行模拟测试(如图 3 所示),平均分支延迟消除率可达 87.88%,获得的性能提高约为 8.78%.

表 4 给出了一些常用指令调度技术和银河 TS 1 动态指令调度技术的性能比较,可以看出,在流水线中使用两个取指部件,有效 CPI 约为 1.01,优于其他方法的性能.无论是条件分支还是无条件分支,这种方法都能够有效地降低分支指令的平均延迟.

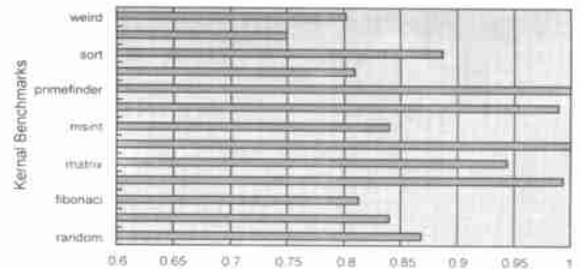


图 3 控制相关延迟消除率

表 4 各种指令调度技术的性能

| 调度策略 | 条件分支延迟 | 无条件分支延迟 | 平均分支延迟 | 有效 CPI |
|---------|--------|---------|--------|--------|
| 暂停流水线 | 1.00 | 1.00 | 1.00 | 1.17 |
| 预测转移成功 | 1.00 | 1.00 | 1.00 | 1.17 |
| 预测转移不成功 | 0.62 | 0.70 | 0.69 | 1.12 |
| 延迟分支 | 0.25 | 0.00 | 0.21 | 1.04 |
| 双取指部件 | 0.05 | 0.09 | 0.06 | 1.01 |

表 5 向量化性能测试结果

| 指令条数 | | 非向量版本 | 向量版本 | 加速比 |
|-------|---------|-------|------|------|
| 13 | | 13 | 8 | — |
| 执行周期数 | VLR= 4 | 294 | 132 | 2.23 |
| | VLR= 8 | 578 | 210 | 2.75 |
| | VLR= 16 | 1146 | 360 | 3.18 |
| | VLR= 32 | 2282 | 666 | 3.34 |
| | VLR= 64 | 4554 | 1272 | 3.58 |

通过引入向量机制以及硬件对循环的支持也可以提高嵌入式微处理器的整体性能.表 5 给出了单重循环的非向量实现以及向量化实现在银河 TS 1 芯片上的测试结果,从表 5 的测试结果来看,可以达到较为理想的加速比.

在非量化的指令序列中,条件转移是一个引起流水线插入空操作的重要原因,而在量化的指令序列中,条件转移以及计数器的操作已经被蕴含到向量操作内部,由硬件流水线不间断地执行,从而可以显著提高程序的执行性能.

Cache 系统的加入,对该嵌入式微处理器的访存性能有了很大的改善.表 6 给出了在没有 Cache 以及有 Cache 情况下的访存时间对比.

表 6 有 Cache 和没有 Cache 访存时间的比较

| 项 目 | 没有 Cache | 有 Cache | | |
|------------|----------|---------|-----|-----|
| | | 命 中 | 失 效 | |
| | | | 有写回 | 无写回 |
| 访存时间(时钟周期) | 6 | 2 | 8 | 5 |

经过性能评测以及模拟验证,可知:采用 Cache 的银河 TS 1 相对于没有 Cache 的银河 TS 1 而言,访存性能提高了约 3 倍左右.

5 银河 TS 1 模拟与实现

银河 TS 1 的设计采用 Synplicity 公司的综合工具 Synplify Pro 6.24 进行逻辑综合,使用 Altera 公司的 Quantus 1.1 进行综合、布线并烧制 FPGA 芯片.综合的结果大约使用了 52% 的逻辑单元,约 20 万门左右.在我们自行设计的仿真测试平台上,将银河 TS 1 FPGA 芯片以及静态存储器集成在一块 CPU 板上,微机的接口软件将程序通过通信信道传送到 CPU 板上的静态存储器中,然后向仿真测试平台提供 Reset 信号以及时钟信号,使得 FPGA 能够访问静态存储器上的程序并运行.目前已经完成了 15 个标准的程序段执行,并完成了 RS 编码器算法、量子模拟算法以及 GPS 应用的测试.仿真结果表明,能够正确执行所有银河 TS 1 指令集的命令,并能够完成中断的处理.

6 结束语

银河 TS 1 嵌入式微处理器是一款高性能的 32 位嵌入式微处理器.在其设计实现中,我们从软件到硬件,采用多项创新技术,如动态指令调度技术、双取指部件设计、基于汇编代码的向量化技术、硬件控制循环技术、基于内容复制/交换的寄存器窗口技术等,有效的降低了硬件复杂度,提高了系统的整体性能.

目前银河 TS 1 嵌入式微处理器固核已经在 FPGA 芯片上完成并通过了功能性测试,利用 Altera 公司的 EP20K400EBC652-2 FPGA 芯片实现,可以达到 36.7MHz 的主

频.能够完成包括 RS 编码器算法、量子模拟算法以及 GPS 应用等较为复杂的应用测试,具有广阔的应用前景.

参考文献:

- [1] Patterson D A, Hennessy J L. Computer Architecture: A Quantitative Approach. 2nd ed[M]. San Francisco: Morgan Kaufman Publish, 1996.
- [2] Mikael Collin, Raimo Haukilahti, Mladen Nikitovic, Joakim Adomat. SoCrates A multiprocessor SoC in 40 days [DB/ OL]. <http://www.mtc.mdh.se/publ.php3?id=0274>, 2001.
- [3] S B Furber. ARM System on Chip Architecture[M]. Addison Wesley Longman, 0-201-67519-6, ISBN, 2000.
- [4] ARM Inc. ARM Architecture reference manual[Z]. ARM DDI 0100D, White Paper, 2000.
- [5] Jan Gray. Designing a simple FPGA optimized RISC CPU and system on a chip[A]. Proceedings of System On Chip Design Conference[C]. SG 20, Santa Clara, California, January, 2001.
- [6] Wang Ronghui, Shen Li, Dai Kui, Wang Zhiying, Lu Xicheng. An efficient data dependence analysis algorithm[A]. Workshop on Compiler for High Performance Processor System[C]. Beijing, China, July 18 19, 2001.
- [7] Stephen Hill. The ARM10 family of advanced microprocessor cores [R]. Hot Chips 13, Stanford University, August 19- 21, 2001.
- [8] 张盛兵, 樊晓桢, 高德远. 32 位嵌入式 RISC 微处理器的设计[J]. 计算机研究与发展, 2000, 6: 758- 763.
- [9] <http://www.am.com>[DB/OL]. 2002- 08- 20.
- [10] <http://www.openores.org>[DB/OL]. 2002- 08- 16.
- [11] <http://www.altera.com>[DB/OL]. 2002- 08- 26.
- [12] <http://www.fgacpu.org>[DB/OL]. 2002- 08- 30.

作者简介:



陆洪毅 男, 1974 年 12 月生, 广西人, 博士研究生, 主要研究方向为计算机系统结构、高性能微处理器设计、向量微处理器设计.



沈立 男, 1975 年生, 博士研究生, 主要研究方向为计算机系统结构、并行处理.

赵学秘 男, 1979 年生, 山东人, 博士研究生, 主要研究方向为计算机系统结构、可重配置计算、ASIC 设计.

王蕾 女, 1977 年生, 陕西人, 博士研究生, 主要研究方向为计算机系统结构、Cache 机制研究、ASIC 设计.